

PAT-NO: JP363143823A  
DOCUMENT-IDENTIFIER: JP 63143823 A  
TITLE: METHOD OF PACKAGING SEMICONDUCTOR  
CHIP  
PUBN-DATE: June 16, 1988

INVENTOR-INFORMATION:  
NAME  
TAKEUCHI, JUN

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
SEIKO EPSON CORP N/A

APPL-NO: JP61291761  
APPL-DATE: December 8, 1986

INT-CL (IPC): H01L021/52  
US-CL-CURRENT: 29/827, 438/FOR.369

ABSTRACT:

PURPOSE: To enable semiconductor chips to be packaged on interconnection patterns all together in a minimum area with high reliability without using semiconductor chips having metallic bumps, by forming metallic lumps only on the interconnection patterns corresponding to metallic pads.

CONSTITUTION: A registering interconnection pattern 2 is formed on a circuit board 1 at the position of a metallic pad of a semiconductor chip. After that, a metallic thin film 3 is formed on the interconnection

pattern 2. High-temperature radiation is applied locally onto the interconnection pattern corresponding to the metallic pad, whereby the metallic thin film is melted and one or more metallic lumps 5 are formed by a surface tension. After hardening resin 6 having thermosetting property, photosetting or anaerobic setting properties is applied on the pattern, the semiconductor chip 7 is positioned on the circuit board such that the metallic lumps correspond to the metallic pad. The hardening resin is then hardened under a pressure applied to the semiconductor chip or the interconnection pattern, so that the semiconductor chip is fixed and connected electrically.

COPYRIGHT: (C)1988,JPO&Japio

## ⑫ 公開特許公報(A)

昭63-143823

⑤ Int.Cl.<sup>4</sup>

H 01 L 21/52

識別記号

庁内整理番号

C-8728-5F

④ 公開 昭和63年(1988)6月16日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体チップの実装方法

⑰ 特 願 昭61-291761

⑱ 出 願 昭61(1986)12月8日

⑲ 発 明 者 竹 内 順 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑳ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

㉑ 代 理 人 弁理士 最 上 務 外1名

## 明 細 書

## 1 発明の名称

半導体チップの実装方法

## 2 特許請求の範囲

(1) 少なくとも配線基板の配線パターン上に金属薄膜を形成した後、少なくとも半導体チップ上の金属パッドと相対する前記金属薄膜上に局部的に高温を印加し、前記金属薄膜を1個もしくは複数の金属塊へ変形させた後、前記半導体チップ上の金属パッドと前記金属塊とを位置合せせしめ、バネによる半導体チップの固定、もしくは硬化性樹脂を半導体チップと前記配線基板に介在させた後、各々の硬化条件により硬化させ、前記配線パターンと、前記電極パッドとの電気的接続を得ることを特徴とした半導体チップの実装方法。

(2) 前記金属薄膜をニッケルとしたことを特徴とする特許請求の範囲第1項に記載の半導体チップの実装方法。

## 3 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、半導体チップの配線基板上への実装方法に関する。

## 〔従来の技術〕

従来、半導体チップを基板上へ直接実装する方法として、半導体チップの金属パッド上に半田バンプもしくは金バンプを形成した後、半田バンプについては、配線パターンとの間に半田付けを行う事により、金バンプに関しては配線パターンとの間に共晶結合を行う事により接続を行う。

その他、半導体チップをダイボンディングした後金属パッドと配線パターンとの間にワイヤーボンディングを行う事により接続を得る方法や、半導体チップと配線パターンとの間に金属粒子を混入した硬化性樹脂を介在させ、金属粒子を通し、金属パッドと、配線パターンとの導通を得た後、硬化性樹脂を硬化させる方法等がある。

## 〔発明が解決しようとする問題点〕

しかしながら前述の従来の技術において、金属

パッド上にパンプを形成する方式においては、パンプ形成の工程が複雑であり、一般に品手が限られているため、入手が困難であり、コストも上昇すると言う問題点を有する。

またワイヤーボンディング方式においては、金属パッド1本1本に対し、ボンディングを行うため実装に有する時間が長くなってしまふ。さらに実装面積がワイヤーをボンディングする分大きくなってしまい高密度実装が困難である。

金属粒子を混入した硬化性樹脂を使用する方式においては、金属粒子が、金属パッド以外の場所にも存在するためエッジショートを起こしやすく信頼性も低いと言う問題点があった。

そこで本発明は、これらの問題点を解決するもので、その目的は金属パンプを有する半導体チップを用いる事無く最少の面積で一括して配線パターンへ半導体チップを高信頼性をもって実装する事を目的とする。

〔問題点を解決するための手段〕

本発明は、配線基板上の配線パターンに金属薄

した後、金属パッド8に金属塊を対応させるよう半導体チップ7の位置合せを行い金属パッドと配線パターンが金属塊を通し電気的接続を得るため、半導体チップもしくは配線パターンに圧力を印加しながら硬化性樹脂を硬化させ、半導体チップを固定する。

〔実施例1〕

第1図において、配線基板1として1mm厚のガラス板、 $50\ \Omega/\square$ のITOを線幅100 $\mu\text{m}$ ピッチ200 $\mu\text{m}$ でパターンニングした配線パターン2上に選択メッキにより2000 $\text{\AA}$ 厚のニッケル層を形成し金属薄膜3を形成した。次にレーザー径100 $\mu\text{m}$ 、出力6Wのレーザーを金属パッドに対応する金属薄膜部に照射し、ニッケルの融点以上の高温に加熱し直径10 $\mu\text{m}$ 、高さ7 $\mu\text{m}$ の金属塊を金属パッド当り5個〜10個形成した。次に配線パターン上に光硬化性樹脂をスクリーン印刷により塗布した後配線パターンに金属パッドを対応させ半導体チップを位置合せし、圧着機により半導体チップ上に10 $\text{kg}$ の圧力を印加しつつ、

膜を形成した後、少なくとも半導体チップ上の金属パッドと相対する金属薄膜に局部的に高温を印加し、金属薄膜を1個もしくは複数個の金属塊へ変形させ、半導体チップ上の金属パッドと金属塊とを位置合せした後、パネ、もしくは硬化性樹脂を用いて半導体チップを固定した事を特徴とする。

〔作用〕

本発明の作用を図面に基づき詳細に説明する。

第1図は本発明の配線基板の上面図である。セラミック、ガラス、エポキシ等で形成された配線基板1上に半導体チップの金属パッドの位置に合せ配線パターン2を形成した後、配線パターン上に金属薄膜3を形成する。

第2図は金属塊の形成過程及び実装方式を示す。まず金属パッドに対応する配線パターン上に局部的に高温照射4(第2図(a))を行う。これにより金属薄膜が融解され表面張力により1個以上の金属塊5(同図(b))が形成される。

次にパターン上に熱硬化、光硬化、嫌気性硬化等の硬化条件を持つ硬化性樹脂6(同図(c))を塗布

配線基板下部より紫外線を照射し、光硬化性樹脂を硬化させた。

以上の方式により半導体チップを実装する事により、半導体チップにパンプを形成する事無く一般用の半導体チップを用いる事ができた。

また金属塊が金属パッドに対応する部分にしか存在しないためエッジショートを起こさず信頼性の高い接続を得る事ができた。さらに実装に半導体チップの面積しか必要としないため実装面積の低減化も計る事ができた。また光硬化性樹脂を用いた事により配線基板、半導体チップに熱ストレスを与える事なく実装を行う事ができ、選択メッキを行う事により容易に配線パターン間の絶縁を得る事ができた。

なお、ニッケルは表面張力が大きく、熱伝導率が低いいため特に金属塊を形成する事が可能となった。

〔実施例2〕

実施例1において、金属薄膜を金属塊に変形させるため赤外線加熱機を用い、配線基板にガラス

エポキシ基板、配線パターンに35 $\mu$ m厚の銅薄膜を用い硬化性樹脂として熱硬化性樹脂を塗布し、熱圧着機により半導体チップを加圧しつつ、加熱を行う事により熱硬化性樹脂を硬化させた。

以上の方式においても実施例1と同様な金属塊を形成する事ができ、同様の効果が得られた。

また熱硬化性樹脂を用いる事により光を透過しない基板に対しても良好な接続を得る事ができた。  
〔実施例3〕

実施例1において複数の配線パターンに渡り、蒸着により形成した1000 $\text{\AA}$ 厚のアルミニウム膜を金属薄膜3(第3図(a))を形成した。次に金属パッドに対応する配線パターン上に実施例1と同様のレーザー光を照射し、金属塊4(同図(b))を形成し、さらに配線パターンと配線パターンの間に実施例1よりさらに高温となるレーザー光を照射し金属薄膜を完全に蒸発させ、配線パターンを分離した(同図(c))。また硬化性樹脂として嫌気性樹脂を用い配線基板と半導体チップ間の空気を遮断する事により硬化させた。

同様の方法で金属塊を形成し、半導体チップの位置合せを行い、半導体チップ、配線基板の下部に加圧用パネ9(第4図)を介し半導体チップを固定した。

上記の方式により実施例1と同様、良好な接続が行えた。またパネを介し半導体チップを固定する事により、容易に半導体チップの着脱が可能となり半導体チップのリペアが容易になった。

なお、硬化性樹脂の代りに熱可逆性樹脂を用いる事が可能なのは言うまでもない。

〔発明の効果〕

以上述べた様に本発明によれば、金属パッドに対応した配線パターン上のみ金属塊を形成させる事が可能となるため、金属パッドのみの半導体チップを半導体チップと同じ最少の面積で実装する事ができる。さらに金属塊の高さを配線パターンに対し十分な高さに形成でき、任意の金属で任意の位置に金属塊を形成できるため、エッジショートを起さず、金属パッドの食われを防ぎ、信頼性の高い実装を行う事ができる。

上記の方式により実施例1と同様の金属塊が形成され良好な接続が行えた。

さらに配線パターン間にレーザーを照射し、配線パターンを分離する事により選択メッキを行う必要がなくなり選択メッキが行えない配線基板に対しても金属塊を形成する事が可能となり、金属薄膜にレーザーを照射する作業と配線パターンを分離する作業を同一工程上で行う事ができ、作業の効率化が計れた。

また硬化性樹脂として嫌気性樹脂を用いた事により、常温での硬化が可能となり配線基板、半導体チップに熱ストレスを与える事無く良好な接続が得られた。

〔実施例4〕

配線基板にセラミックス、配線パターンに35 $\mu$ m厚の銅、1000 $\text{\AA}$ のタンタルを配線パターン上にスパッタした後、レジストを塗布し配線パターンと同様のマスクを用い露光、エッチング、レジスト剥離を行い配線パターン上のみタンタルを残した物を金属薄膜とした。次に実施例1と

またパネや硬化性樹脂を用い一括したボンディング可能となり工程の効率化が計れる。

#### 4. 図面の詳細な説明

第1図は配線基板の図であり(a)は上面図、(b)は断面図を示す。

第2図は金属塊の形成過程及び実装方式を示す図であり、(a)は配線パターンへの高温照射図、(b)は金属塊の形成図、(c)は硬化性樹脂の塗布図、(d)は半導体チップの実装図である。

第3図は金属薄膜を複数の配線パターンに渡って形成した場合の図であり、(a)は金属薄膜の蒸着、スパッタした図であり、(b)はレーザー照射図、(c)は金属塊の形成及び配線パターンの分離図である。

第4図はパネによる加圧図である。

図中、

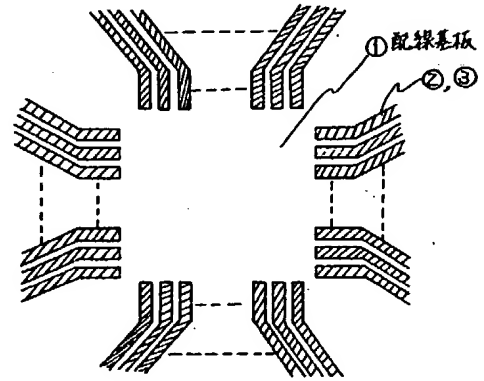
- |             |             |
|-------------|-------------|
| 1 …… 配線基板   | 2 …… 配線パターン |
| 3 …… 金属薄膜   | 4 …… 高温照射   |
| 5 …… 金属塊    | 6 …… 硬化性樹脂  |
| 7 …… 半導体チップ | 8 …… 金属パッド  |

9 ... 加圧用パネ

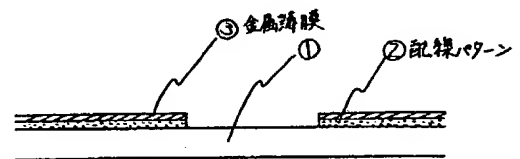
以 上

出願人 セイコーエプソン株式会社

代理人 弁理士 最 上 務 他1名

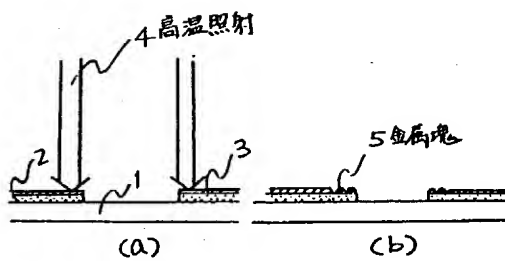


(a)



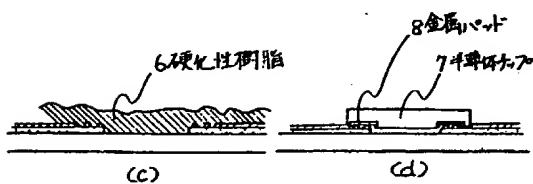
(b)

第 1 図



(a)

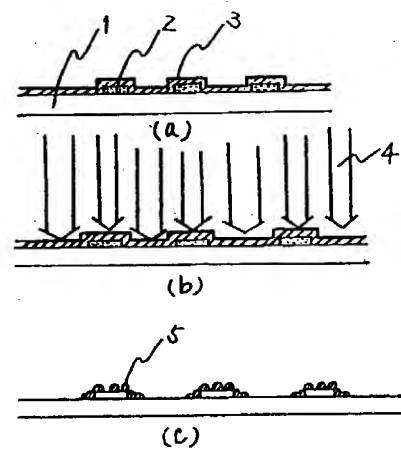
(b)



(c)

(d)

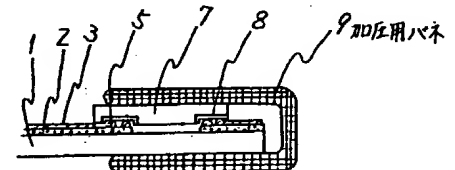
第 2 図



(b)

(c)

第 3 図



第 4 図